



Serviço Público Federal
Instituto Federal de Educação, Ciência e Tecnologia Sul-rio-grandense
Pró-Reitoria de Ensino
Campus Pelotas
Curso de Engenharia Elétrica

DISCIPLINA: Sistemas Digitais	
Vigência: a partir de 2007/1	Período Letivo: 4º semestre
Carga Horária Total: 45h	Código: EE.212
Ementa: Implementação Física. Tecnologia de CIs programáveis . FPGA. Atraso de propagação. Metaestabilidade. Caminho crítico. Problemas de temporização. Sincronização. VHDL. Síntese Lógica. Desempenho de Sistemas Digitais Síncronos. Paralelismo em circuitos digitais. Barramentos. Banco de registradores. Memórias. Interfaces. Interfaces A/D e D/A. Projeto em nível de transferência entre registradores (RTL). Projeto de sistemas digitais síncronos. Projeto de blocos digitais pulsados. Projeto de blocos assíncronos. Introdução ao projeto de sistemas computacionais.	

Conteúdos

UNIDADE I – Implementação Física

- 1.1 Circuitos Integrados Totalmente Customizados.
- 1.2 Circuitos Integrados Semicustomizados.
 - 1.2.1 Gate-array
 - 1.2.2 Standard Cell.
 - 1.2.3 Cell Array.
- 1.3 Usando portas NAND.
- 1.4 Usando portas NOR.
- 1.5 Tecnologia de CIs Programáveis
 - 1.5.1 Matriz de Portas Programável em Campo (FPGA).
 - 1.5.2 Dispositivo Lógico Programável Simples (SPLD).
 - 1.5.2.1 Arranjos Lógicos Programáveis (PLAs)
 - 1.5.2.2 Lógica Programável com Arranjo (PAL)
 - 1.5.2.3 Lógica Genérica com Arranjo (GAL)
 - 1.5.3 Dispositivo Lógico Programável Complexo (CPLD).
- 1.6 CIs Standard de Lógica Combinacional.
 - 1.6.1 CIs da Série7400.
 - 1.6.2 CIs da Série 4000

.UNIDADE II – Linguagem de Descrição de Hardware (VHDL)

- 2.1 Estrutura do Código VHDL
- 2.2 Classe de Objetos
- 2.3 Tipos de Dados Predefinidos
- 2.4 Definição de Dados Definidos pelo Usuário
- 2.5 Operadores
- 2.6 Atribuição de Valor para um Sinal
- 2.7 Código Concorrente versus Código Seqüencial
 - 2.7.1 Código Concorrente
 - 2.7.1.1 Construção “WHEN ELSE”
 - 2.7.1.2 Construção “WITH SELECT”
 - 2.7.1.3 Comando “BLOCK”



Serviço Público Federal
Instituto Federal de Educação, Ciência e Tecnologia Sul-rio-grandense
Pró-Reitoria de Ensino
Campus Pelotas

Curso de Engenharia Elétrica

2.7.1.4 Palavra Reservada “UNAFFECTED”

2.7.1.5 Comando “GENERATE”

2.7.1.5.1 Esquema de Geração “FOR”

2.7.1.5.2 Esquema de Geração “IF”

2.7.2 Código Seqüencial

2.7.2.1 Comando “PROCESS”

2.7.2.2 Construção “IF ELSE”

2.7.2.3 Construção “CASE WHEN”

2.7.2.4 Comando “WAIT”

2.7.2.5 Comando “NULL”

2.7.2.6 Comando “LOOP”

2.7.2.6.1 Esquema de Iteração “FOR”

2.7.2.6.2 Esquema de Iteração “WHILE”

2.7.2.6.3 Comandos “NEXT” e “EXIT”

2.7.2.6.4 Laços Infinitos

2.8 Atributos

2.8.1 Atributos de Código

2.8.2 Atributos de Síntese

2.9 Componentes

2.10 Genéricos

2.11 Subprogramas

2.11.1 Subprogramas

2.11.2 Função

2.11.3 Procedimento

2.12 Bibliotecas e Pacotes

2.13 Arquivos

UNIDADE III – Síntese Lógica

3.1 Síntese Lógica.

3.2 Descrição RTL.

UNIDADE IV – Projeto em Nível de Transferência entre Regis tradores (RTL)

4.1 Método de Projeto RTL

4.2 Descrição em Nível Comportamental: Passando de C para Portas

4.3 Descrição de Projeto RTL usando VHDL

UNIDADE V – Circuitos Seqüenciais

5.1 Geradores de Sinais

5.2 Divisores de Frequência

5.2.1 Divisão por 2N

5.2.2 Divisão por M com Fase Assimétrica

5.2.3 Divisão por M com Fase Simétrica

5.2.4 Circuitos com Vários Divisores

5.3 PLL e Prescaler

5.4 Geradores de Seqüência Pseudorrandômicas



Serviço Público Federal
Instituto Federal de Educação, Ciência e Tecnologia Sul-rio-grandense
Pró-Reitoria de Ensino
Campus Pelotas
Curso de Engenharia Elétrica

5.5 Scramblers e Descramblers

5.5.1 Scramblers e Descramblers Aditivos

5.5.2 Scramblers e Descramblers Multiplicativos

UNIDADE VI – Projeto Digital Síncrono

6.1 Parte Operativa e Parte de Controle

6.2 Paralelismo em Circuitos Digitais

6.3 Atraso de Propagação e Caminho Crítico

6.4 Desempenho de Sistemas Digitais Síncronos

6.5 Problemas de Temporização

6.6 Metaestabilidade

6.7 Interfaces e Sincronização

UNIDADE VII – Projeto de Sistemas Computacionais

7.1 Barramentos.

7.2 Banco de Registradores

7.3 Memórias

7.3.1 Memória de Acesso Aleatório (RAM)

7.3.1.1 RAM Estática

7.3.1.2 RAM Dinâmica

7.3.2 Memória Apenas de Leitura (ROM)

7.3.2.1 ROM Programável por Máscara

7.3.2.2 ROM Programável Baseada em Fusível (PROM)

7.3.2.3 PROM Apagável (EPROM)

7.3.2.4 PROM Eletricamente Apagável (EEPROM) e Memória Flash

7.4 Microprogramação

7.5 Interfaces analógico-digitais

7.6 Projeto de blocos digitais pulsados

7.7 Projeto de blocos assíncronos

Bibliografia básica:

BROWN, S.; VRANESIC, Z. **Fundamentals of Digital Logic with VHDL Design**. 2. ed. New York: McGraw-Hill, 2005.

D'AMORE, R. **VHDL Descrição e Síntese de Circuitos Digitais**. Rio de Janeiro: LTC, 2005.

PEDRONI, V. **Eletrônica Digital Moderna e VHDL**. 1. ed. Rio de Janeiro: Elsevier, 2010.

Bibliografia complementar:

TOCCI, R.; WIDMER, N.; MOSS, G. **Sistemas Digitais: Princípios e Aplicações**. 10. ed. São Paulo: Pearson/Prentice Hall, 2008.

VAHID, F. **Sistemas Digitais: Projeto, Otimização e HDLs**. Porto Alegre: Artmed, 2007.



Serviço Público Federal
Instituto Federal de Educação, Ciência e Tecnologia Sul-rio-grandense
Pró-Reitoria de Ensino
Campus Pelotas
Curso de Engenharia Elétrica

ALTERA CORPORATION. **DE2 Development and Education Board User Manual version 1.4. San Jose, CA:** Altera Corporation, 2006.

Disponível em: <<ftp://ftp.altera.com/up/pub/Webdocs/>>. Acesso em: 13 nov. 2009.

AMARAL, R. **Metodologia de Análise da Variabilidade em FPGAs. Dissertação (Mestrado em Engenharia Elétrica)** – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2010.

BIGNELL, J; DONAVAN, R. **Eletrônica Digital.** 1. ed. Cengage, 2009.

FLOYD, T. **Sistemas Digitais: Fundamentos e Aplicações.** 9. ed. Bookman, 2007.

WAKERLY, J. **Digital Design: Principles and Practices Packages.** 4. ed. Prentice Hall, 2005.



Serviço Público Federal
Instituto Federal de Educação, Ciência e Tecnologia Sul-rio-grandense
Pró-Reitoria de Ensino
Campus Pelotas
Curso de Engenharia Elétrica